

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59—167752

⑮ Int. Cl.³

識別記号

庁内整理番号

⑯ 公開 昭和59年(1984)9月21日

G 06 F 9/30

C 7218—5B

発明の数 1

1/04

7056—5B

審査請求 未請求

9/46

A 7218—5B

15/06

7343—5B

(全 6 頁)

⑰ 半導体集積回路

東京都港区芝五丁目33番1号日

本電気株式会社内

⑱ 特 願 昭58—41676

⑲ 出 願 人 日本電気株式会社

⑳ 出 願 昭58(1983)3月14日

東京都港区芝5丁目33番1号

㉑ 発 明 者 町田俊明

㉒ 代 理 人 弁理士 内原晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

低消費電流動作モードに設定するための命令をインストラクションデコーダでデコードした信号とマシンサイクル制御回路からのマシンサイクルの最後を示す信号を受ける低消費電流動作モード制御回路と、その出力を受けて通常動作モードでのみ付勢されるクロックと、低消費電流動作モード時においても動作するクロックを発生するクロック制御回路と両方のクロックと低消費電流動作モード制御回路の出力を受けて動作するステータス信号制御回路を有することを特徴とする半導体集積回路。

発明の詳細な説明

本発明はマイクロプロセッサ等の半導体集積回

路において低消費電流動作モードを持つ場合の内部制御回路に関する。

近年、大規模集積回路技術の発展に伴い、マイクロプロセッサが大幅に普及し、また、数多くの改良がなされてきた。その方向は、素子を微細にし、集積度をあげ、素子の動作速度をより速く、消費電流をより小さくするというものである。

これまで、低消費電流の半導体集積回路は相補型MOS（以下CMOSと略す）という素子によって作られてきたが、動作速度が遅いという制限があった。この欠点も大規模集積回路技術の進歩により徐々に改善されて、CMOSによって比較的動作速度の速いマイクロプロセッサのような大規模集積回路が作られるようになってきた。

このCMOSマイクロプロセッサは、CMOSであることによる低消費電流という特徴をさらに効果の大きいものとするため、低消費電流で動作する動作モードをもつことがある。低消費電流動作モードでは、CMOSマイクロプロセッサは内部のクロックを止めるなどして、動作を停止し、極力消

電流を少なくする。

ところで、一般にCMOSマイクロプロセッサが低消費電流モードで止まる時は、周辺に繋がれた装置を動作させないための制御信号出力を制御信号ライン上に出力し、メモリ等につながれたアドレス・バス上にもあるアドレス・データを出し、データバスはハイ・インピーダンスの状態に停止する。このようにCMOSマイクロプロセッサが停止している時、CMOSマイクロプロセッサとデータ・バス、やアドレス・バス、制御信号ラインがつながっている他の装置が、データ・バスやアドレス・バス及び制御信号ラインの使用要求を行なう場合がある。例えばDMA転送のような場合で、通常の動作を行なっている時は、データ・バスやアドレス・バス、制御信号ラインの使用要求（以下バス・リクエストとよぶ）をCMOSマイクロプロセッサに出して、CMOSマイクロプロセッサがデータ・バス、アドレス・バス、制御信号ラインをハイ・インピーダンスの状態にして、他の装置の使用を可能にするのであるが、低消費電流

動作モードで内部クロックを止めて停止してしまったCMOSマイクロプロセッサはこれが不可能となっている。また、通常マイクロプロセッサにおいてはバス・リクエストやマスカブル割込やノンマスカブル割込要求を受け付ける場合、マシンサイクルの途中でこれらを受け付けると正常動作が不可能となるためマシンサイクルの最後を示す信号によってこれらの要求を受け付けるが、低消費電流動作モードに入って、内部のクロックを止めて停止した状態がマシンサイクルの後では無いというような低消費電流動作モードを解除して通常動作モードに戻った時に、ただちに割込要求を受け付けられない状態で止まっていると、通常動作モードに復帰して不要なマシンサイクルがないと割込要求を受け付けられない。

本発明は上記欠点に鑑み低消費電流動作モード時においても他の装置のバス・リクエストを受け付け、割込要求に対しても割込が許可されるものなら不要なマシンサイクルを持つことなくただちに割込処理に入ることを可能とする半導体装置回

路を提供するものである。

本発明は低消費電流動作モード設定命令をインストラクションデコードでデコードした信号と、マシンサイクル制御回路の最後のマシンサイクルを示す信号を受け、低消費電流動作モードに関する制御信号を発生する低消費電流動作モード制御回路と、その制御信号によって低消費電流動作モード時において停止するクロックと停止しないクロックを発生するクロック制御回路と、その両方のクロックと低消費電流動作モード制御回路の出力を受けて動作するバスリクエスト制御回路とステータス信号制御回路と割込信号処理回路と、低消費電流動作モード解除信号発生回路を持つことを特徴とする。

以下に図面を用いて本発明の一実施例についての詳細な説明を行なう。第1図に本発明の一実施例を示す。インストラクション・フェッチ・サイクルにおいて、外部データバス13からデータ・バス・バッファ1に入力された低消費電流動作モード設定命令はインストラクション・レジスタ2

に保持され、信号15によりインストラクション・デコード3に入力される。インストラクション・デコード3でデコードされた結果は信号16により低消費電流動作モード制御回路4に入力され、この信号16とマシンサイクル制御回路11からマシンサイクルの最後を示す信号31と低消費電流動作モード時においても動作しているクロック20とにより、低消費電流動作モード制御回路4は、クロック制御回路5に対し低消費電流動作モードにおいて、クロックを停止させるための信号17を出力し、ステータス信号27を制御するための信号18をステータス制御回路6に対して出力し、バス・リクエスト制御回路7と割込信号処理回路9を制御する信号19が出力される。

信号17により通常動作モードでクロック21を停止したクロック制御回路5は低消費電流モード制御回路4、ステータス信号制御回路6、バス・リクエスト制御回路7、割込信号処理回路9、低消費電流動作モード解除信号発生回路10に低消費電流動作モード時においても動作するクロッ

ク20を供給する。ステータス信号制御回路6はクロック20、21、低消費電流動作モードでの制御信号18及びバス・リクエスト制御回路7の出力22を受けて各種ステータス信号27を制御する。バス・リクエスト制御回路7はクロック20、21と低消費電流動作モードでの制御信号19を受け、バス・リクエスト信号28によりバスの使用要求がくると、信号22により、ステータス信号制御回路6の出力27及びアドレス・バス制御回路8の出力30を各々ハイ・インピダンス状態とし、バスの使用要求源に対し、バス・リクエスト許可信号29によりバスの使用許可を返す。また、バスの使用が済むと、バス・リクエスト信号28より、使用済となったことが知るされ、信号22により、各ステータス信号27及びアドレス・バス30は通常の出力状態となり、バス・リクエスト許可信号29によりバスの使用要求源に対しバスの使用が不可であることを知らせる。割込信号処理回路9はクロック20、21と低消費電流モード制御回路4の出力19を受け、

外部から割込要求信号26により割込要求がくると、割込許可状態になっている場合は、割込処理を行なうために、通常動作に戻るべく、低消費電流動作モード解除信号発生回路10に信号23を送る。低消費電流動作モード解除信号発生回路10は割込信号処理回路9からの信号23または、外部からの低消費電流動作モード解除要求信号25により、低消費電流動作モード制御回路4に低消費電流動作モードの解除を指示する信号24を送り、通常動作モードに復帰する。

次に低消費電流動作モード制御回路4とクロック制御回路5及びステータス信号制御回路6の一部について具体的回路例を第2図に示す。従来マイクロプロセッサにおいてはマシンサイクル制御回路11を持ち、命令の処理の流れが1つのマシンサイクル中でバス・リクエストや割込を受け付けて命令の処理不能の状態に陥ることを防ぐために、マシンサイクルの最後を示す信号31を使ってバス・リクエストや割込を受け付ける。この信号31と低消費電流動作モード設定命令のインス

トラクションアコード3の出力16により第3図のタイミング図の①のように低消費電流動作モード制御回路4の出力18は変化し、クロック制御回路5の低消費電流動作モード時においても動作するクロック20により制御されて、ステータス信号制御回路6の一部である低消費電流動作モードステータス信号制御回路33のセット信号34となる。33の出力35は第3図②のように変化して、外部に低消費電流動作モードに入ったことを知らせる。信号18はクロック20により次段のフリップ・フロップに送られ、第3図③のように変化して、マシンサイクルの最後であることを知らせる低消費電流動作モード制御回路4の出力19は、マシンサイクルの最後の状態で停止し、また、出力17により通常動作モード・クロック21を停止させ、内部的にはこの時点で低消費電流動作モードとなる。クロック制御回路5のクロック発生回路32は、発振器でも外部からのクロックを利用したものでもかまわない。低消費電流動作モード解除は、外部からの低消費電流動作モ

ード解除要求信号25または、割込要求信号26により、低消費電流動作モード解除信号発生回路10の出力24が第3図④のように変化すると、低消費電流動作モード制御回路4の出力18が“ハイ”となり、それがクロック20により次段のフリップ・フロップに送られて信号17が“ロー”となり、通常動作モード・クロック21が動き出し、マシンサイクルの最後を示す低消費電流動作モード制御回路4の出力19も通常動作に復帰する。また、クロック21により④のように低消費電流動作モードステータス信号35は“ハイ”となり外部に対し、低消費電流動作モードが終了したことを知らせる。

以上本発明の一実施例について述べたが、低消費電流動作モードに関する以外の部分については本特許の対象外なので特に言及しなかった。また、実施例においてはマスク可能な割込要求信号及びその制御回路について説明したが、一般に使われるノンマスクブル割込要求信号とその制御回路にも適用することも可能である。また、リセット信

号を低消費電流動作モード解除信号として使用したり、マイクロプロセッサの端子数の制約から、特別に低消費電流動作モード解除要求信号の端子を持たないということも可能である。

以上述べたように本特許によれば、低消費電流動作モード時にあっても、バス・リクエストや割込の要求を受け付けることができ、しかも、要求があればただちにバス・リクエストの処理もしくは、割込の処理を行なうことができる半導体集積回路が得られる。

図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は低消費電流動作モード制御回路とクロック制御回路、及びステータス信号制御回路の一部の具体的回路例を示す図、第3図は第2図の回路の動作を示すタイミング図である。

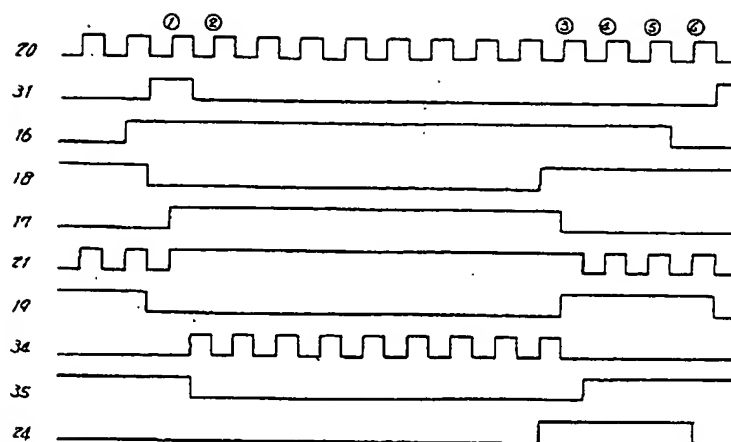
1……データ・バス・バッファ、2……インストラクション、レジスタ、3……インストラクション・レジスタ、4……低消費電流動作モード制

御回路、5……クロック制御回路、6……ステータス信号制御回路、7……バス・リクエスト制御回路、8……アドレス・バス制御回路、9……割込要求処理回路、10……低消費電流動作モード解除信号発生回路、11……マシンサイクル制御回路、12……低消費電流動作モード戻速ブロック、13……データ・バス、14……内部データ・バス、15……インストラクション・レジスタ出力、16……低消費電流動作モード設定命令デコード信号、17、18、19……低消費電流動作モード制御回路出力、20……低消費電流、21……通常動作モード・クロック、22……バス・リクエスト制御信号、23……割込要求による低消費電流動作モード解除信号、24……低消費電流動作モード解除信号、25……低消費電流動作モード解除要求信号、26……割込要求信号、27……ステータス信号、28……バス・リクエスト信号、29……バス・リクエスト許可信号、30……アドレス・バス、31……マシンサイクルの最後を示す信号、32……クロック発生回路、

33……低消費電流動作モードステータス制御回路、34……低消費電流動作モードステータス信号セット信号、35……低消費電流動作モードステータス信号。

代理人 井野士 内 原

特



第 3 図

Japanese Kokai Patent Application No. Sho 59[1984]-167752

Job No.: 1390-88695

Translated from Japanese by the Ralph McElroy Translation Company
910 West Avenue, Austin, Texas 78701 USA

Ref.: CX112/JP

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. SHO 59[1984]-167752

| | |
|-------------------------------|--|
| Int. Cl. ³ : | G 06 F 9/30 1/04 9/46 15/06 |
| Sequence Nos. for Office Use: | 7218-5B 7056-5B 7218-5B 7343-5B |
| Filing No.: | Sho 58[1983]-41676 |
| Filing Date: | March 14, 1983 |
| Publication Date: | September 21, 1984 |
| No. of Inventions: | 1 (Total of 6 pages) |
| Examination Request: | Not filed |

SEMICONDUCTOR INTEGRATED CIRCUIT

| | |
|------------|---|
| Inventor: | Toshiaki Machida Nippon Denki K.K. 5-33-1 Shiba, Minato-ku, Tokyo |
| Applicant: | Nippon Denki K.K. 5-33-1 Shiba, Minato-ku, Tokyo |
| Agent: | Susumu Uchihara, patent attorney |

[There are no amendments to this patent.]

* * *

Detailed explanation of the invention

This invention relates to an internal control circuit in a semiconductor integrated circuit such as a microprocessor that has a low current consumption operating mode.

Accompanying the development of large-scale integrated circuit technology microprocessors have become widely used in recent years, and a large number of improvements have been made. The trend is for elements to be made microscopic, with the degree of integration being increased, the operating speed of the elements becoming faster, and the power current consumption being reduced.

Until now, low current consumption semiconductor integrated circuits have been made by means of elements called complementary MOS (Hereinafter, abbreviated as CMOS), but there was the limitation that the operating speed was slow. This problem has also been gradually resolved by means of advances in large-scale integrated circuit technology, and large-scale integrated circuits, such as microprocessors, in which the operating speed is comparatively fast have been made using CMOS.

With this CMOS microprocessor, in order to further increase the effects of the particular low current consumption characteristics due to the fact that it is a CMOS, there are cases in which it has a low current consumption operating mode. In the low current consumption operating mode, the CMOS microprocessor stops an internal clock, stops the operation, and makes the current consumption small.

Incidentally, when a CMOS microprocessor is stopped in a low current consumption mode, a control signal output for the purpose of not stopping the operation of peripheral equipment is generally output on a control signal line, address data that is also on an address bus that is connected to a memory or the like is also outputted, and the data bus is stopped in a state of high impedance. When the CMOS microprocessor is stopped in this manner, there are instances when the other equipment that is connected to the CMOS processor, data bus, address bus, and control signal line have usage requirements for the data bus, address bus, and control signal line. For example, in cases such as DMA transmission, when the normal operations are being conducted the usage demand for the data bus, address bus, and control line (called bus request hereafter) is outputted to the CMOS microprocessor, the CMOS processor places the data bus, address bus, and control signal line in a high impedance state, and the use of other equipment is made possible, but this becomes impossible with a CMOS microprocessor that is completely stopped by stopping the internal clock in a low current consumption operating mode. Also, in an ordinary microprocessor, because normal operation becomes impossible, when a bus request and a maskable interrupt or non-maskable interrupt request are received, if these are received within a machine cycle, these requests are received by means of a signal showing the final point of the machine cycle, but when [it] enters a low current consumption operating mode,

and returns to a normal operating mode by releasing the low current consumption operating mode such that the state in which the internal clock is completely stopped is not the final point of the machine cycle, if it immediately stops in a state in which the interrupt request is not received, it returns to the ordinary operating mode, and if there is no unnecessary machine cycle, the interrupt request is not received.

This invention takes the above-mentioned drawbacks into consideration and offers a semiconductor integrated circuit wherein bus requests of other equipment are received even during a low current consumption operating mode and it becomes possible to enter interrupt processing immediately without waiting for an unnecessary machine cycle and the interrupt is permitted for the interrupt request.

This invention is characterized in that it has a low current consumption operating mode control circuit that, when a signal in which a low current consumption operating mode setup command is decoded by an instruction decoder, and a signal showing the final point of a machine cycle for the machine cycle control circuit, are received, generates a control signal related to the low current consumption operating mode, and according to that control signal a clock control circuit generates a clock that stops and a clock that does not stop during the low current consumption operating mode; a bus request control circuit, a status signal control circuit, and an interrupt signal processing circuit which operate by receiving both of those clocks and an output of the low current consumption operating mode control circuit; and a low current consumption operating mode signal generating circuit.

Translation of portion that the Examiner pointed out

Reference No. I (page 2, [one 15 of lower left column to page 3- line 10 of upper right column])

Figure I show a first embodiment of the present invention. In an instruction fetch cycle, a low current operation consumption mode setting instruction inputted to a data bus buffer 1 from an external data bus 13 is kept in instruction register (2), and inputted to an instruction decoder 3 according to a signal 15. A result decoded by the instruction decoder 3 is inputted to a low current consumption operation mode control circuit 4 according to a signal 16. According to this signal 16 and a signal 31 from a machine control circuit 11 indicating an end of a machine cycle and a clock 20 operating during a low current consumption operation mode, the low current consumption operation mode control circuit 4 outputs a signal 17 to a clock control circuit 5 for halting a clock in the low current consumption operation mode, and outputs a signal 18 to a status control circuit 6 for controlling a status signal 27, and a signal 19 for controlling a bus request control circuit 7 and an interrupt signal processing circuit 9 is outputted.

The clock control circuit 5 which halted clock 21 in a normal operation mode according to the signal 17 supplies a clock 20 operating during the low current consumption operation mode to the low current consumption operation mode control circuit 4, the status signal control circuit 6, the bus request control circuit 7, the interrupt signal processing circuit 9 and a low current consumption operation mode release signal generation circuit 10. The status signal control circuit 6 controls a variety of status signals 27, and receives clocks 20, 21, the control signal 18 in the low current consumption operation mode and an output 22 of the bus request control circuit 7. The bus request control circuit 7 receives the clocks 20, 21 and a control signal 19 in the low current consumption operation mode, and makes output 27 of the status signal control circuit 6 and output 30 of an address bus control circuit 8 enter a high impedance state according to a signal 22 when a bus use request comes by means of the bus request signal 28, and returns allowance of use of the bus to a source of the bus use request by means of a bus request allowance signal 29. Also, when the use of bus is finished, it is reported that the use of bus is finished by means of the bus request signal 28, and depending on signal 22, each status signal 27 and the address bus 30 enter a normal output state and the source of the bus use request is informed that use of the bus is impossible by means of the bus request allowance signal 29. The interrupt signal processing circuit 9 receives the clocks 20, 21 and the output 19 of the low current consumption mode control circuit 4 and sends a signal 23 to the low current consumption operation mode release signal generating circuit 10 so as to return to normal operation in order to perform interrupt processing in case of an interrupt allowance state when the interrupt request comes from an external component by means of an interrupt request signal 26. The low current consumption operation mode release signal generating circuit 10 sends a signal 24 indicating release of the low current consumption operation mode to the low current consumption mode control circuit 4 by means of a signal 23 from the interrupt signal processing circuit 9 or a low current consumption operation mode release request signal 25 from the external component, and returns to the normal operation mode.

Reference No. 1 (page 3, line 11 of upper right column to page 3, line 13 of lower right column)

Next, Figure 2 shows a concrete example of a low current consumption operation mode control circuit 4 and a clock control circuit 5, and a portion of a status signal control circuit 6. A conventional microprocessor has a machine cycle control circuit 11 and accepts a bus request or an interrupt, using a signal 31 indicating an end of a machine cycle in order to avoid that a processing flow of instructions receives the bus request or the interrupt during the machine cycle whereupon it becomes an impossible to process an instruction. According to

this signal 31 and an output 16 of an instruction decoder 3 of a low current consumption operation mode setting instruction, the output 18 of the low current consumption operation mode control circuit 4 changes as shown at ① of a timing diagram of Figure 3, and a set signal 34 of a low current consumption operation mode status signal control circuit 33 that is a portion of the status signal control circuit 6 is obtained, controlled by the clock 20 operating at time of the low current consumption operation mode of the clock control circuit 5. An output 35 of the low current consumption operation mode status signal control circuit 33 changes as shown at ② of Figure 3 and informs the external component that the low current consumption operation mode is being entered. The signal 18 is sent to a flip-flop of a next stage according to the clock 20 and changes as of ① of Figure 3 and an output 19 of the low current consumption operation mode control circuit 4 reporting the end of the machine cycle stops at the end of a machine cycle and stops the normal operation mode clock 21 by an output 17, and the device is set internally to the low current consumption operation mode at this time. The clock generating circuit 32 of the clock control circuit 5 may be an oscillator or one utilizing the clock from the external component. In the low current consumption operation mode release, according to the low current consumption operation mode release request signal 25 or the interrupt request signal 26 from the external component, when the output 24 of the low current consumption operation mode release signal generating circuit 10 changes as at ③ of Figure 3, the output 18 of the low current consumption operation mode control circuit 4 becomes "High" and it is sent to the flip-flop of the next state according to the clock 20, signal 17 becomes "Low" and the normal operation mode clock 21 starts to move, and also, the output 19 of the low current consumption operation mode control circuit 4 returns to the normal operation mode. Furthermore, according to the clock 21, the low current consumption operation mode status signal 35 becomes "High" inform to the external component that the low current consumption operation mode ended, as shown at ④.

An explanation was given above with regard to one application example of this invention, but with regard to portions not related to the low current consumption operating mode, because these are outside the object of this invention, they were specifically not included. Also, an explanation was given in the application example with regard to a maskable interrupt request signal and its control circuit, but it is also possible to apply the non-maskable interrupt request signal that is generally used, and its control circuit. Also, because a reset signal is used as a low current consumption operating mode release signal and there are limitations on the number of microprocessor terminals, it is also possible to not have a terminal specifically for the low current consumption operating mode release request signal.

As was explained above, according to this invention, a semiconductor integrated circuit can be obtained wherein, even during a low current consumption operating mode, a bus request

and an interrupt request can be received, and moreover, if there is a request, processing of the bus request and processing of the interrupt can be done immediately.

Brief description of the figures

Figure 1 is a block diagram showing one application example of this invention, Figure 2 is a diagram showing a partial concrete example of the low current consumption operating mode control circuit, the clock control circuit, and a portion of the status signal control circuit, and Figure 3 is a timing chart showing the operation of the circuits of Figure 2.

- | | |
|------------|--|
| 1 | Data bus buffer |
| 2 | Instruction register |
| 3 | Instruction register |
| 4 | Low current consumption operating mode control circuit |
| 5 | Clock control circuit |
| 6 | Status signal control circuit |
| 7 | Bus request control circuit |
| 8 | Address bus control circuit |
| 9 | Interrupt request processing circuit |
| 10 | Low current consumption operating mode release signal generating circuit |
| 11 | Machine cycle control circuit |
| 12 | Low current consumption operating mode related block |
| 13 | Data bus |
| 14 | Internal data bus |
| 15 | Instruction register output |
| 16 | Low current consumption operating mode setup command decode signal |
| 17, 18, 19 | Low current consumption operating mode control circuit output |
| 20 | Low current consumption |
| 21 | Normal operating mode clock |
| 22 | Bus request control signal |
| 23 | Low current consumption operating mode release signal according to interrupt request |
| 24 | Low current consumption operating mode release signal |
| 25 | Low current consumption operating mode release request signal |
| 26 | Interrupt request signal |
| 27 | Status signal |
| 28 | Bus request signal |
| 29 | Bus request enabling signal |

- 30 Address bus
- 31 Signal showing final point of machine cycle
- 32 Clock generating circuit
- 33 Low current consumption operating mode status control circuit
- 34 Low current consumption operating mode status signal set signal
- 35 Low current consumption operating mode status signal

//Insert Figures 1 to 4//

Figure 1

Figure 2

Figure 3